

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jang-won Moon et al.
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: VARIABLE-DELAY PRECHARGE CIRCUITS AND METHODS

Date: November 17, 2003

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

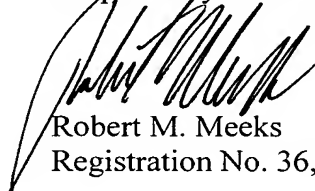
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

10-2002-0076704, filed December 4, 2002.

Respectfully submitted,



Robert M. Meeks
Registration No. 36,925

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 193631194 US
Date of Deposit: November 17, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Candi L. Riggs

Date of Signature: November 17, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0076704
Application Number PATENT-2002-0076704

출원년월일 : 2002년 12월 04일
Date of Application DEC 04, 2002

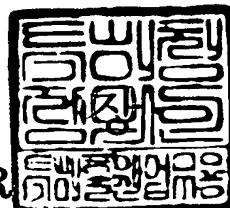
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 01 월 23 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0028 |
| 【제출일자】 | 2002.12.04 |
| 【국제특허분류】 | G11C |
| 【발명의 명칭】 | 프리차지 회로를 제어하는 프리차지 제어회로, 이를 구비하는 반도체 메모리 장치 및 프리차지 회로를 제어하는 프리차지 제어신호를 생성하는 방법 |
| 【발명의 영문명칭】 | Precharge control circuit controlling precharge circuit, semiconductor memory device comprising the precharge control circuit, and method of generating precharge control signal |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 1999-009556-9 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 1999-009617-5 |
| 【발명자】 | |
| 【성명의 국문표기】 | 문장원 |
| 【성명의 영문표기】 | MOON, Jang Won |
| 【주민등록번호】 | 720101-1568128 |
| 【우편번호】 | 431-065 |
| 【주소】 | 경기도 안양시 동안구 부림동 한가람신라아파트 404-805 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 김성훈 |
| 【성명의 영문표기】 | KIM, Sung Hoon |

| | |
|------------|--|
| 【주민등록번호】 | 710321-1037023 |
| 【우편번호】 | 463-050 |
| 【주소】 | 경기도 성남시 분당구 서현동(시범단지) 삼성아파트 101-304 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 김경호 |
| 【성명의 영문표기】 | KIM,Kyoung Ho |
| 【주민등록번호】 | 710520-1162218 |
| 【우편번호】 | 442-470 |
| 【주소】 | 경기도 수원시 팔달구 영통동 벽절골8단지 아파트 한신아 파트 813-12 04 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 김정열 |
| 【성명의 영문표기】 | KIM,Joung Yeal |
| 【주민등록번호】 | 720911-1789919 |
| 【우편번호】 | 442-380 |
| 【주소】 | 경기도 수원시 팔달구 원천동 원천주공2단지아파트 201-1601 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 송호영 |
| 【성명의 영문표기】 | SONG,Ho Young |
| 【주민등록번호】 | 721223-1334711 |
| 【우편번호】 | 449-901 |
| 【주소】 | 경기도 용인시 기흥읍 농서리 산 7-1 마로니에동 1407 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) |

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 9 면 9,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 531,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

프리차지 회로를 제어하는 프리차지 제어회로, 이를 구비하는 반도체 메모리 장치 및 프리차지 회로를 제어하는 프리차지 제어신호를 생성하는 방법이 개시된다. 본 발명에 따른 반도체 메모리 장치는 데이터 입출력 라인쌍; 상기 데이터 입출력 라인쌍을 소정의 전압레벨로 프리차지하는 프리차지 회로; 상기 프리차지 회로의 동작을 제어하기 위하여, 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 소정의 제 1시간만큼 지연한 제 1지연신호로부터 제 1프리차지 제어신호 또는 상기 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 소정의 제 2시간만큼 지연한 제 2지연신호로부터 제 2프리차지 제어신호를 생성하는 프리차지 제어신호 발생회로; 및, 기입 정보 신호에 응답하여 상기 프리차지 제어신호 발생회로로부터 상기 제 1프리차지 제어신호 또는 상기 제 2프리차지 제어신호를 선택적으로 출력하도록 제어하는 제어신호를 생성하여 상기 프리차지 제어신호 발생회로로 출력하는 제어회로를 구비한다. 본 발명에 따르면, 기입동작 후의 프리차지 동작이 독출동작 후의 프리차지 동작보다 더 빨리 시작될 수 있도록 제어함으로써 기입동작 이후의 프리차지 동작시간을 단축시킬 수 있으며, 동작주파수가 고주파수인 경우에도 기입회복시간(t_{CDLR})의 여유를 충분히 확보할 수 있는 효과가 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

프리차지 회로를 제어하는 프리차지 제어회로, 이를 구비하는 반도체 메모리 장치 및 프리차지 회로를 제어하는 프리차지 제어신호를 생성하는 방법{Precharge control circuit controlling precharge circuit, semiconductor memory device comprising the precharge control circuit, and method of generating precharge control signal}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1(a)는 종래기술에 따른 데이터 입출력라인 프리차지 회로를 제어하는 프리차지 제어신호 발생회로를 나타낸 회로도이고, 도 1(b)는 컬럼 बैं크 어드레스 신호와 프리차지 제어신호를 나타낸 타이밍도이다.

도 2는 본 발명의 바람직한 실시예에 따른 프리차지 제어신호 발생회로 및 제어회로를 구비하는 프리차지 제어회로를 나타낸 회로도이다.

도 3은 본 발명에 따른 프리차지 제어회로에서 반도체 메모리 장치의 독출동작 후 데이터 입출력라인을 프리차지하는 경우의 타이밍도를 나타낸 도면이다.

도 4는 본 발명에 따른 프리차지 제어회로에서 반도체 메모리 장치의 기입동작 후 데이터 입출력라인을 프리차지하는 경우의 타이밍도를 나타낸 도면이다.

도 5는 본 발명에 따른 프리차지 제어회로에 의하여, 프리차지 제어신호 및 그에 따른 입출력 데이터라인이 프리차지되는 동작을 시뮬레이션(simulation)한 결과를 나타낸 도면이다.

도 6은 본 발명에 따른 프리차지 제어신호 생성방법을 나타낸 흐름도(flow chart)이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 입출력 데이터 라인들을 프리차지 하는 회로를 제어하는 프리차지 제어회로 및 이를 포함하는 반도체 메모리 장치에 관한 것이다.
- <9> 기입 및 독출동작이 모두 가능한 반도체 메모리 장치에서, 기입 또는 독출 중 어느 하나의 동작이 완료된 이후 다음 동작을 수행하기 이전에 입출력 데이터 라인들을 프리차지하는 프리차지 회로가 필요하다.
- <10> 프리차지 회로는 프리차지 제어신호를 입력받아 상기 프리차지 제어신호에 응답하여 입출력 데이터 라인들을 프리차지하며, 이러한 프리차지회로는 일반적으로 게이트에 프리차지 제어신호를 입력받고 드레인과 소스에는 각각 입출력 데이터 라인쌍이 접속된 PMOS 트랜지스터를 구비한다. 따라서 프리차지회로는 프리차지 제어신호가 논리 로우의 논리상태를 가지는 경우에 프리차지 동작을 수행하게 된다.

- <11> 다수의 뱅크들을 구비하는 반도체 메모리 장치에 있어서, 이러한 프리차지 제어신호는 뱅크 선택 신호에 의하여 만들어질 수 있다. 즉, 다수의 뱅크들 중 소정의 뱅크를 선택하는 데 이용되는 컬럼 뱅크 어드레스(Column Bank Address; CBA) 신호를 소정시간 지연함으로써 프리차지 제어신호가 생성될 수 있다.
- <12> 도 1(a)는 종래기술에 따른 데이터 입출력라인 프리차지 회로를 제어하는 프리차지 제어신호 발생회로를 나타낸 회로도이고, 도 1(b)는 컬럼 뱅크 어드레스 신호와 도 1(a)에 도시된 프리차지 제어신호 발생회로의 출력신호를 나타낸 타이밍도이다.
- <13> 도 1(a)에 도시된 프리차지 제어신호 발생회로(1000)는 지연부(10), 부정논리합회로(15) 및 반전회로(16)를 구비한다. 지연부(10)는 다수의 반전회로들(11, 12, 13, 14)을 구비하고, 반전회로들(11, 12, 13, 14)은 서로 직렬로 접속되어 있다.
- <14> 지연부(15)는 컬럼 뱅크 어드레스 신호(CBA)를 소정시간 지연시킨 신호를 출력한다. 부정논리합회로(15)는 컬럼 뱅크 어드레스 신호(CBA)와 지연부(15)의 출력신호를 수신하여 부정논리합한 결과를 출력한다. 반전회로(16)는 부정논리합회로(15)의 출력신호를 반전하여 출력하며, 반전회로(16)의 출력신호가 프리차지 제어신호(PIOPRB)가 된다.
- <15> 즉, 프리차지 제어신호(PIOPRB)는 도 1(b)에 도시된 바와 같이 컬럼 뱅크 어드레스 신호(CBA)의 상승 에지(rising edge)에 동기되어 논리 하이로 천이하고, 컬럼 뱅크 어드레스 신호(CBA)의 하강 에지(falling edge)에 대하여 지연부(15)에 의하여 지연된 시간만큼 지연되어 논리 로우로 천이한다.
- <16> 동기식 반도체 메모리 장치에서, 상기 반도체 메모리 장치의 동작은 기입회복시간이라는 사양에 의하여 제약을 받는다. 기입회복시간(write recovery time; tCDLR)이란

예컨대 기입명령 이후 독출명령이 입력되는 경우, 독출명령이 입력되기 전에 기입되는 데이터가 완전하게 기입되기 위하여 필요한 시간이다. 동작주파수가 고주파일수록 이러한 제약은 더욱 커지게 된다.

<17> 프리차지 제어신호 발생회로(1000)에 의하여 생성되는 프리차지 제어신호(PIOPRB)는 데이터의 기입동작 후 프리차지 제어신호(PIOPRB)가 발생하는 경우인지 또는 데이터의 독출동작 이후 프리차지 제어신호(PIOPRB)가 발생하는 경우에 상관없이 도 1과 마찬가지로 생성된다.

<18> 그러나, 데이터의 독출 동작 이후 입출력 데이터라인을 프리차지하는 경우는 데이터의 기입 동작 이후 입출력 데이터라인을 프리차지하는 경우보다 더 많은 양의 지연시간을 필요로 한다. 독출 동작의 과정에서는 입출력 데이터라인에 실린 데이터를 감지하고 증폭하는 감지증폭기에 의하여 증폭된 데이터를 래치하는 과정이 더 필요하기 때문이다.

<19> 즉, 데이터의 독출동작 후에 필요한 프리차지 제어신호(PIOPRB)는 데이터의 기입동작 후에 필요한 프리차지 제어신호(PIOPRB)보다 더 적은 지연시간을 필요로 한다. 다시 말하면, 독출동작 후의 프리차지동작은 기입동작 후의 프리차지동작보다 더욱 빠르게 수행될 수 있다.

<20> 따라서, 기입동작 후의 프리차지 동작에 필요한 프리차지 제어신호와 독출동작 후의 프리차지 동작에 필요한 프리차지 제어신호를 다르게 발생하여 프리차지 시간을 조절할 수 있다면, 동작주파수가 고주파수인 경우에도 기입회복시간(t_{CDRL})에 의한 제약을 피할 수 있게 된다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자 하는 기술적 과제는, 데이터를 기입한 후의 프리차지 동작시에 필요한 프리차지 제어신호와 데이터를 독출한 후의 프리차지 동작시에 필요한 프리차지 제어신호를 다르게 생성할 수 있는 프리차지 제어신호 발생회로와 이를 구비하는 프리차지 제어회로, 및 이들을 구비하는 반도체 메모리 장치를 제공하는 데 있다.

<22> 본 발명이 이루고자 하는 다른 기술적 과제는, 데이터를 기입한 후의 프리차지 동작시에 필요한 프리차지 제어신호와 데이터를 독출한 후의 프리차지 동작시에 필요한 프리차지 제어신호를 다르게 생성할 수 있는 프리차지 제어신호 생성방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<23> 상기 기술적 과제를 달성하기 위한 본 발명의 일면은 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 반도체 메모리 장치는 데이터 입출력 라인쌍; 상기 데이터 입출력 라인쌍을 소정의 전압레벨로 프리차지하는 프리차지 회로; 상기 프리차지 회로의 동작을 제어하기 위하여, 컬럼 뱅크 어드레스 신호 및 상기 컬럼 뱅크 어드레스 신호를 소정의 제 1시간만큼 지연한 제 1지연신호로부터 제 1프리차지 제어신호 또는 상기 컬럼 뱅크 어드레스 신호 및 상기 컬럼 뱅크 어드레스 신호를 소정의 제 2시간만큼 지연한 제 2지연신호로부터 제 2프리차지 제어신호를 생성하는 프리차지 제어신호 발생회로; 및, 기입 정보 신호에 응답하여 상기 프리차지 제어신호 발생회로로부터 상기 제 1프리차지 제어신호 또는 상기 제 2프리차지 제어신호를 선택적으로 출력하도록 제어하는 제어신호를 생성하여 상기 프리차지 제어신호 발생회로로 출력하는 제어회로를 구비한다.

<24> 바람직하게는, 상기 제 1프리차지 제어신호는 상기 컬럼 बैं크 어드레스 신호의 상승에지에 동기되어 상승하고 상기 컬럼 बैं크 어드레스 신호의 하강에지보다 상기 제 1시간동안 지연된 후에 하강하고, 상기 제 2프리차지 제어신호는 상기 컬럼 बैं크 어드레스 신호의 상승에지에 동기되어 상승하고 상기 컬럼 बैं크 어드레스 신호의 하강에지보다 상기 제 2시간동안 지연된 후에 하강하며, 상기 제 1시간은 상기 제 2시간보다 더 큰 것을 특징으로 한다.

<25> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면은 반도체 메모리 장치의 입출력 라인들을 소정의 전압 레벨로 프리차지하는 프리차지 회로를 제어하는 프리차지 제어회로에 관한 것이다. 본 발명에 따른 프리차지 제어회로는 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 소정의 제 1시간만큼 지연한 제 1지연신호로부터 제 1프리차지 제어신호 또는 상기 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 소정의 제 2시간만큼 지연한 제 2지연신호로부터 제 2프리차지 제어신호를 생성하는 프리차지 제어신호 발생회로; 및, 기입 정보 신호에 응답하여 상기 제 1프리차지 제어신호 또는 상기 제 2프리차지 제어신호를 선택적으로 출력하도록 상기 프리차지 제어신호를 제어하는 제어회로를 구비하며, 상기 제 1프리차지 제어신호는 상기 반도체 메모리 장치의 독출동작 이후의 프리차지 동작을 제어하며, 상기 제 2프리차지 제어신호는 상기 반도체 메모리 장치의 기입동작 이후의 프리차지 동작을 제어하는 것을 특징으로 한다.

<26> 바람직하게는, 상기 제어회로는 상기 기입 정보 신호를 입력받아 소정시간 지연된 반전신호를 출력하는 제 1지연회로; 상기 기입 정보 신호 및 상기 제 1지연회로의 출력신호를 수신하고 상기 기입 인이에블 신호 및 상기 제 1지연회로의 출력신호를 부정논리

급하여 부정논리곱된 신호를 출력하는 부정논리곱회로; 및, 상기 부정논리곱회로의 출력 신호 및 상기 제 1지연신호를 수신하여 래치하고 반전하여 출력하는 래치/반전회로를 구비하는 것을 특징으로 한다.

<27> 또한 바람직하게는, 상기 프리차지 제어신호 발생회로는 상기 컬럼 बैं크 어드레스 신호를 상기 제 2시간만큼 지연한 제 2지연신호 및 상기 래치/반전회로의 출력신호를 수신하고 상기 제 2지연신호와 상기 래치/반전회로의 출력신호를 부정논리합하여 출력하는 제 1부정논리합회로; 상기 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 상기 제 1시간만큼 지연한 제 1지연신호를 수신하고 상기 컬럼 बैं크 어드레스 신호 및 상기 제 1지연신호를 부정논리합하여 출력하는 제 2부정논리합회로; 및, 상기 제 1부정논리합회로의 출력신호 및 상기 제 2부정논리합회로의 출력신호를 수신하고 상기 제 1부정논리합회로의 출력신호와 상기 제 2부정논리합회로의 출력신호를 부정논리합하여 출력하는 제 3부정논리합회로를 구비하는 것을 특징으로 한다.

<28> 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 일면은 반도체 메모리 장치의 프리차지 제어신호를 생성하는 방법에 관한 것이다. 본 발명에 따른 프리차지 제어신호를 생성하는 방법은 (a) 컬럼 बैं크 어드레스 신호를 수신하고, 상기 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 제 1시간만큼 지연시킨 제 1지연신호를 논리합하여 제 1프리차지 제어신호를 생성하는 단계; (b) 상기 컬럼 बैं크 어드레스 신호를 수신하고, 상기 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 제 2시간만큼 지연시킨 제 2지연신호를 논리합하여 제 2프리차지 제어신호를 생성하는 단계; 및, (c) 기입 정보 신호에 응답하여 상기 제 1프리차지 제어신호 또는 상기 제 2프리차지 제

어신호를 선택적으로 출력하는 단계를 구비하며, 상기 제 1시간은 상기 제 2시간보다 더 큰 것을 특징으로 한다.

<29> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<30> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<31> 도 2는 본 발명의 바람직한 실시예에 따른 프리차지 제어회로를 나타낸 회로도이다. 도 2에 도시된 프리차지 제어회로(200)는 프리차지 제어신호 발생회로(200) 및 제어회로(210)를 구비한다.

<32> 프리차지 제어신호 발생회로(200)는 컬럼 어드레스 신호(CBA)를 수신하고 컬럼 어드레스(CBA)로부터 제 1프리차지 제어신호(PIOPRB1) 또는 제 2프리차지 제어신호(PIOPRB2)를 생성한다. 프리차지 제어신호 발생회로(200)는 다수의 반전회로들(201, 202, 203, 204) 및 다수의 부정논리합회로들(205, 206, 207)을 구비한다.

<33> 제어회로(210)는 기입 정보 신호(PWR)에 응답하여 제 1프리차지 제어신호(PIOPRB1) 또는 제 2프리차지 제어신호(PIOPRB2)를 선택적으로 출력하도록 프리차지 제어신호 발생회로(200)를 제어한다. 제어회로(210)는 지연회로(220), 부정논리곱회로(230) 및 래치/반전회로(240)를 구비한다.

<34> 반전회로(201)의 입력단은 컬럼 뱅크 어드레스 신호(CBA)와 접속되고, 반전회로(201)의 출력단은 반전회로(202)의 입력단과 접속된다. 반전회로(202)의 출력단은 반전

회로(203)의 입력단과 접속되며, 반전회로(203)의 출력단은 반전회로(204)의 입력단과 접속된다.

<35> 부정논리합회로(206)는 컬럼 뱅크 어드레스 신호(CBA) 및 반전회로(204)의 출력신호를 수신하여 부정논리합한 출력신호(D39Z)를 출력한다. 부정논리합회로(205)는 반전회로(202)의 출력신호(I10Z)와 래치/반전회로(240)의 출력신호(IOPREFNB)를 수신하여 부정논리합한 출력신호(R102Z)를 출력한다.

<36> 부정논리합회로(207)는 부정논리합회로(206)의 출력신호(D39Z)와 부정논리합회로(205)의 출력신호(R10Z)를 수신하여 부정논리합한 제 1프리차지 제어신호(PIOPRB1) 또는 제 2프리차지 제어신호(PIOPRB2)를 출력한다. 제 1프리차지 제어신호(PIOPRB1) 또는 제 2프리차지 제어신호(PIOPRB2)는 프리차지회로(250)에 입력되어 데이터 입출력라인쌍(IO, IOB)의 프리차지동작을 제어한다. 여기에서, 데이터 입출력라인쌍(IO, IOB)은 반도체 메모리 장치의 글로벌 입출력라인쌍인 것이 바람직하다.

<37> 지연회로(220)는 다수의 직렬로 접속된 반전회로들(211, 212, 213, 214, 215)을 구비하며, 홀수 개의 반전회로들이 직렬로 접속되는 것이 바람직하다. 지연회로(210) 기입 정보 신호(PWR)를 수신하고 기입 정보 신호(PWR)를 소정시간 지연시킨 후 반전한 신호를 출력한다. 부정논리곱회로(230)는 기입 정보 신호(PWR) 및 지연회로(220)의 출력신호를 수신하고 부정논리곱한 출력신호(D100Z)를 출력한다.

<38> 래치/반전회로(240)는 두 개의 부정논리곱회로(241, 242)가 래치형태로 접속되어 있고, 부정논리곱회로(242)의 출력단에 반전회로(243)가 접속된다. 부정논리곱회로(241)는 반전회로(204)의 출력신호(I45Z) 및 부정논리곱회로(242)의 출력신호를 수신하고 부정논리곱하여 출력한다. 부정논리곱회로(242)는 부정논리곱회로(230)의 출력신호(D100Z)

및 부정논리곱회로(241)의 출력신호를 수신하고 부정논리곱하여 출력한다. 래치/반전회로(240)는 반전회로(204)의 출력신호(I45Z) 및 부정논리곱회로(230)의 출력신호(D100Z)를 수신하여 래치하고 반전하여 출력신호(IOPREFNB)를 출력한다.

<39> 도 2에 도시된 기입 정보 신호(PWR)는 반도체 메모리 장치가 기입동작중일 때 제 1 논리상태(예컨대, 논리 하이)로 활성화되고 기입동작이 끝난 때 제 2논리상태(예컨대, 논리 로우)로 비활성화되는 신호이다.

<40> 도 3은 본 발명에 따른 프리차지 제어회로에서 반도체 메모리 장치의 독출동작 후 데이터 입출력라인을 프리차지하는 경우의 타이밍도를 나타낸 도면이고, 도 4는 본 발명에 따른 프리차지 제어회로에서 반도체 메모리 장치의 기입동작 후 데이터 입출력라인을 프리차지하는 경우의 타이밍도를 나타낸 도면이다.

<41> 도 2 내지 도 4를 참조로 하여 본 발명에 따른 프리차지 제어회로(2000)의 동작을 상세하게 설명하면 다음과 같다.

<42> 먼저, 데이터의 독출동작 이후에 데이터 입출력라인을 프리차지하는 경우 프리차지 제어회로(2000)의 동작을 살펴본다. 데이터의 독출동작이 이루어지는 경우, 기입 정보 신호(PWR)는 도 3에 도시된 바와 같이 논리 로우의 상태를 유지하고 있다. 따라서, 부정논리곱회로(230)의 출력신호(D100Z)는 논리 하이의 논리상태를 가진다.

<43> 컬럼 बैं크 어드레스 신호(CBA)가 활성화되는 경우, 반전회로(204)는 도 3과 같이 컬럼 बैं크 어드레스 신호(CBA)가 제 1시간(d1)동안 지연된 신호(I45Z)를 출력한다. 여기서 제 1시간(d1)은 반전회로들(201, 202, 203, 204)의 지연시간에 의하여 발생된다.

- <44> 이 때, 래치/반전회로(240)는 반전회로(204)의 출력신호(I45Z) 및 부정논리곱회로(230)의 출력신호(D100Z)의 출력신호의 논리 조합에 의하여 논리 하이의 논리상태를 가지는 출력신호(IOPREFNB)를 출력한다.
- <45> 따라서 부정논리합회로(205)는 반전회로(202)의 출력신호(I10Z)에 관계없이 논리 로우의 논리상태를 가지는 출력신호(R102Z)를 출력한다. 즉, 이 때의 부정논리합회로(207)는 반전회로와 같은 역할을 하며, 제 1프리차지 제어신호(PIOPRB1)를 출력한다.
- <46> 데이터의 독출동작 이후의 프리차지 동작을 제어하는 제 1프리차지 제어신호(PIOPRB1)는 도 3에서와 같이 컬럼 뱅크 어드레스 신호(CBA)의 하강 에지(falling edge)에서 제 1시간(d1) 지연된 후 논리 로우로 활성화된다.
- <47> 다음으로, 데이터의 기입동작 이후에 데이터 입출력라인을 프리차지하는 경우 프리차지 제어회로(2000)의 동작을 살펴본다. 데이터의 기입동작이 이루어지면, 기입 정보 신호(PWR)가 활성화되고, 도 4에서와 같이 부정논리곱회로(230)는 기입 정보 신호(PWR) 및 지연회로(220)의 출력신호를 수신하여 소정의 펄스폭을 가지는 반전된 오토펄스를 생성한다.
- <48> 반전회로(202)의 출력신호(I10Z), 반전회로(204)의 출력신호(I45Z) 및 부정논리합회로(206)의 출력신호(D39Z)는 도 3에서와 같다. 그러나, 기입 정보 신호(PWR)가 활성화 되면 기입 정보 신호(PWR)에 응답하여 부정논리곱회로(230)의 출력신호(D100Z)가 반전된 오토펄스를 가지게 되므로, 래치/반전회로(240)의 출력신호(IOPREFNB)는 도 4에서와 같이 특정 구간에서 논리 로우로 천이된다.

- <49> 즉, 래치/반전회로(240)의 출력신호(IOPREFNB)에 응답하여 부정논리합회로(205)의 논리상태도 변하게 되고, 부정논리합회로(205)의 출력신호(R102Z)는 도 4에 도시된 바와 같이 변하고, 부정논리합회로(207)는 부정논리합회로(206)의 출력신호(D39Z) 및 부정논리합회로(205)의 출력신호(R102Z)에 응답하여 제 2프리차지 제어신호(PIOPRB2)를 생성한다.
- <50> 데이터의 기입동작 이후의 프리차지동작을 제어하는 제 2프리차지 제어신호(PIOPRB2)는 컬럼 뱅크 어드레스 신호(CBA)의 하강 에지에서 제 2시간(d2) 지연된 후 논리 로우로 활성화된다.
- <51> 이 때, 제 2시간(d2)은 반전회로들(201, 202)의 지연시간에 의하여 발생되며, 반전회로들(201, 202, 203, 204)의 지연시간에 의하여 발생하는 제 1시간(d1)보다 작다.
- <52> 즉, 본 발명에 따르면, 기입 정보 신호(PWR)에 응답하여 프리차지 제어신호 발생회로(200)는 제 1프리차지 제어신호(PIOPRB1)와 제 2프리차지 제어신호(PIOPRB2)를 선택적으로 출력하게 되며, 제 1프리차지 제어신호(PIOPRB1)보다 제 2프리차지 제어신호(PIOPRB2)가 활성화되는 시점이 더 빠르도록 제 1프리차지 제어신호(PIOPRB1) 및 제 2프리차지 제어신호(PIOPRB2)를 생성할 수 있기 때문에, 기입동작 이후의 프리차지 동작시에 프리차지 시간을 단축시킬 수 있다.
- <53> 도 5는 본 발명에 따른 프리차지 제어회로에 의한 결과로서, 도 5(a)는 메모리 장치의 독출동작 후 프리차지할 때의 제 1프리차지 제어신호(PIOPRB1)와, 제 1프리차지 제어신호(PIOPRB1)에 응답하여 프리차지되는 데이터 입출력라인쌍(I0, I0B)의 전압레벨을 나타낸 타이밍도이고, 도 5(b)는 메모리 장치의 기입동작 후 프리차지할 때의 제 2프리

차지 제어신호(PIOPRB2)와, 제 2프리차지 제어신호(PIOPRB2)에 응답하여 프리차지되는 데이터 입출력라인쌍(IO, IOB)의 전압레벨을 나타낸 타이밍도이다.

<54> 도 5(a) 및 도 5(b)에서, 논리 하이에서 논리 로우로 천이되는 신호는 제 1프리차지 제어신호(PIOPRB1) 및 제 2프리차지 제어신호(PIOPRB2)이고, 논리 로우로 천이된 이후 소정의 전압레벨로 수렴하는 각각의 두 신호들은 데이터 입출력라인쌍(IO, IOB)의 신호이다.

<55> 도 5(a) 및 도 5(b)를 비교하면, 도 5(a)에 도시된 제 1프리차지 제어신호(PIOPRB1)가 도 5(b)에 도시된 제 2프리차지 제어신호(PIOPRB2)보다 더 늦게 활성화되고, 따라서 프리차지 동작은 도 5(a)에 도시된 경우보다 도 5(b)에 도시된 경우에서 더 빨리 시작된다.

<56> 즉, 전술한 바와 같이, 독출동작 이후의 프리차지 동작을 수행할 때보다 기입동작 이후의 프리차지 동작을 수행할 때 프리차지 제어신호를 더 빨리 활성화시킴으로써 기입동작 이후의 프리차지 동작시에 프리차지 시간을 단축시킬 수 있다.

<57> 도 6은 본 발명에 따른 프리차지 제어신호 생성방법을 나타낸 흐름도(flow chart)이다. 본 발명에 따른 프리차지 제어신호의 생성방법은 제 1프리차지 제어신호를 생성하는 단계(610), 제 2프리차지 제어신호를 생성하는 단계(620) 및 기입 정보 신호에 응답하여 제 1프리차지 제어신호 또는 제 2프리차지 제어신호를 선택적으로 출력하는 단계(630)를 구비한다.

<58> 앞에서 설명한 도 2 및 도 6을 참조하여 본 발명에 따른 프리차지 제어신호 생성방법을 상세하게 설명하면 다음과 같다. 제 1프리차지 제어신호(PIOPRB1)는 컬럼 बैं크 어

드레스 신호(CBA) 및 컬럼 뱅크 어드레스 신호(CBA)를 제 1시간(d1)동안 지연시킨 제 1 신호(I45Z)로부터 생성된다. 즉, 제 1프리차지 제어신호(PIOPRB1)는 컬럼 뱅크 어드레스 신호(CBA)의 하강에지보다 제 1시간(d1)만큼 지연되어 논리 로우로 천이하는 신호이다.

<59> 제 2프리차지 제어신호(PIOPRB2)는 컬럼 뱅크 어드레스 신호(CBA) 및 컬럼 뱅크 어드레스 신호(CBA)를 제 2시간(d2)동안 지연시킨 제 2신호(I10Z)로부터 생성된다. 제 2프리차지 제어신호(PIOPRB2)는 컬럼 뱅크 어드레스 신호(CBA)의 하강 에지보다 제 2시간(d2)만큼 지연되어 논리 로우로 천이한다. 제 1프리차지 제어신호(PIOPRB1) 및 제 2프리차지 제어신호(PIOPRB2)는 도 2에 도시된 프리차지 제어신호 발생회로(200)에 의하여 생성된다.

<60> 기입 정보 신호에 응답하여 제 1프리차지 제어신호(PIOPRB1) 또는 제 2프리차지 제어신호(PIOPRB2)를 선택적으로 출력하는 단계(630단계)는 기입 정보 신호(PWR)가 활성화되었는지에 따라서(631단계), 기입 정보 신호(PWR)가 활성화된 경우에는 제 2프리차지 제어신호(PIOPRB2)를 출력하는 단계(632단계) 및, 기입 정보 신호(PWR)가 비활성화된 경우에는 제 1프리차지 제어신호(PIOPRB1)를 출력하는 단계(633단계)를 구비한다.

<61> 이러한 630단계는 도 2의 프리차지 제어회로(2000)의 제어회로(210)에 의하여 수행되며, 도 2의 프리차지 제어신호 발생회로(200)는 제어회로(210)의 동작에 응답하여 제 1프리차지 제어신호(PIOPRB1) 또는 제 2프리차지 제어신호(PIOPRB2)를 선택적으로 출력한다.

<62> 이상에서와 같이 도면과 명세서에 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한 정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다.

그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- <63> 상술한 바와 같이 본 발명에 따르는 프리차지 제어회로, 프리차지 제어신호 생성방법 및 상기 프리차지 제어회로를 구비하는 반도체 메모리 장치는 기입동작 후의 프리차지 동작에 필요한 프리차지 제어신호와 독출동작 후의 프리차지 동작에 필요한 프리차지 제어신호를 다르게 발생하여, 기입동작 후의 프리차지 동작이 독출동작 후의 프리차지 동작보다 더 빨리 시작될 수 있도록 제어함으로써, 기입동작 이후의 프리차지 동작시간을 단축시킬 수 있다.
- <64> 아울러, 본 발명에 따르면 동작주파수가 고주파수인 경우에도 기입회복시간(t_{CDLR})의 여유를 충분히 확보할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 메모리 장치에 있어서,

데이터 입출력 라인쌍;

상기 데이터 입출력 라인쌍을 소정의 전압레벨로 프리차지하는 프리차지 회로;

상기 프리차지 회로의 동작을 제어하기 위하여, 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 소정의 제 1시간만큼 지연한 제 1지연신호로부터 제 1프리차지 제어신호 또는 상기 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 소정의 제 2시간만큼 지연한 제 2지연신호로부터 제 2프리차지 제어신호를 생성하는 프리차지 제어신호 발생회로; 및,

기입 정보 신호에 응답하여 상기 프리차지 제어신호 발생회로로부터 상기 제 1프리차지 제어신호 또는 상기 제 2프리차지 제어신호를 선택적으로 출력하도록 제어하는 제어신호를 생성하여 상기 프리차지 제어신호 발생회로로 출력하는 제어회로를 구비하는 반도체 메모리 장치.

【청구항 2】

제 1항에 있어서,

상기 제 1프리차지 제어신호는 상기 컬럼 बैं크 어드레스 신호의 상승에지에 동기되어 상승하고 상기 컬럼 बैं크 어드레스 신호의 하강에지보다 상기 제 1시간동안 지연된 후에 하강하고,

상기 제 2프리차지 제어신호는 상기 컬럼 뱅크 어드레스 신호의 상승에지에 동기되어 상승하고 상기 컬럼 뱅크 어드레스 신호의 하강에지보다 상기 제 2시간동안 지연된 후에 하강하며,

상기 제 1시간은 상기 제 2시간보다 더 큰 것을 특징으로 하는 반도체 메모리 장치

【청구항 3】

제 1항에 있어서, 상기 데이터 입출력라인쌍은

상기 반도체 메모리 장치의 글로벌 입출력라인쌍인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

반도체 메모리 장치의 입출력 라인들을 소정의 전압 레벨로 프리차지하는 프리차지 회로를 제어하는 프리차지 제어회로에 있어서,

컬럼 뱅크 어드레스 신호 및 상기 컬럼 뱅크 어드레스 신호를 소정의 제 1시간만큼 지연한 제 1지연신호로부터 제 1프리차지 제어신호 또는 상기 컬럼 뱅크 어드레스 신호 및 상기 컬럼 뱅크 어드레스 신호를 소정의 제 2시간만큼 지연한 제 2지연신호로부터 제 2프리차지 제어신호를 생성하는 프리차지 제어신호 발생회로; 및,

기입 정보 신호에 응답하여 상기 제 1프리차지 제어신호 또는 상기 제 2프리차지 제어신호를 선택적으로 출력하도록 상기 프리차지 제어신호를 제어하는 제어회로를 구비하며,

상기 제 1프리차지 제어신호는 상기 반도체 메모리 장치의 독출동작 이후의 프리차지 동작을 제어하며, 상기 제 2프리차지 제어신호는 상기 반도체 메모리 장치의 기입동작 이후의 프리차지 동작을 제어하는 것을 특징으로 하는 프리차지 제어회로.

【청구항 5】

제 4항에 있어서,

상기 제 1시간은 상기 제 2시간보다 더 큰 것을 특징으로 하는 프리차지 제어회로.

【청구항 6】

제 4항에 있어서, 상기 제어회로는

상기 기입 정보 신호를 입력받아 소정시간 지연된 반전신호를 출력하는 제 1지연회로;

상기 기입 정보 신호 및 상기 제 1지연회로의 출력신호를 수신하고 상기 기입 인이 에블 신호 및 상기 제 1지연회로의 출력신호를 부정논리곱하여 부정논리곱된 신호를 출력하는 부정논리곱회로; 및,

상기 부정논리곱회로의 출력신호 및 상기 제 1지연신호를 수신하여 래치하고 반전하여 출력하는 래치/반전회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제 6항에 있어서, 상기 제 1지연회로는

홀수 개의 반전회로들이 서로 직렬로 접속되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제 4항에 있어서, 상기 프리차지 제어신호 발생회로는

상기 컬럼 बैं크 어드레스 신호를 상기 제 2시간만큼 지연한 제 2지연신호 및 상기 래치/반전회로의 출력신호를 수신하고 상기 제 2지연신호와 상기 래치/반전회로의 출력신호를 부정논리합하여 출력하는 제 1부정논리합회로;

상기 컬럼 बैं크 어드레스 신호 및 상기 컬럼 बैं크 어드레스 신호를 상기 제 1시간만큼 지연한 제 1지연신호를 수신하고 상기 컬럼 बैं크 어드레스 신호 및 상기 제 1지연신호를 부정논리합하여 출력하는 제 2부정논리합회로; 및,

상기 제 1부정논리합회로의 출력신호 및 상기 제 2부정논리합회로의 출력신호를 수신하고 상기 제 1부정논리합회로의 출력신호와 상기 제 2부정논리합회로의 출력신호를 부정논리합하여 출력하는 제 3부정논리합회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제 8항에 있어서, 상기 프리차지 제어신호 발생회로는

상기 기입 정보 신호가 활성화되지 않을 때 상기 제 1프리차지 제어신호를 생성하고, 상기 기입 정보 신호가 활성화될 때 상기 제 2프리차지 제어신호가 생성하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

반도체 메모리 장치의 프리차지 제어신호를 발생하는 방법에 있어서,

(a) 컬럼뱅크 어드레스 신호를 수신하고, 상기 컬럼뱅크 어드레스 신호 및 상기 컬럼뱅크 어드레스 신호를 제 1시간만큼 지연시킨 제 1지연신호를 논리합하여 제 1프리차지 제어신호를 생성하는 단계;

(b) 상기 컬럼뱅크 어드레스 신호를 수신하고, 상기 컬럼뱅크 어드레스 신호 및 상기 컬럼뱅크 어드레스 신호를 제 2시간만큼 지연시킨 제 2지연신호를 논리합하여 제 2프리차지 제어신호를 생성하는 단계; 및,

(c) 기입 정보 신호에 응답하여 상기 제 1프리차지 제어신호 또는 상기 제 2프리차지 제어신호를 선택적으로 출력하는 단계를 구비하며,

상기 제 1시간은 상기 제 2시간보다 더 큰 것을 특징으로 하는 반도체 메모리 장치의 프리차지 제어신호 생성방법.

【청구항 11】

제 10항에 있어서,

상기 제 1프리차지 제어신호는 상기 반도체 메모리 장치의 독출동작 이후의 프리차지 동작을 제어하며, 상기 제 2프리차지 제어신호는 상기 반도체 메모리 장치의 기입동작 이후의 프리차지 동작을 제어하는 것을 특징으로 하는 반도체 메모리 장치의 프리차지 제어신호 생성방법.

【청구항 12】

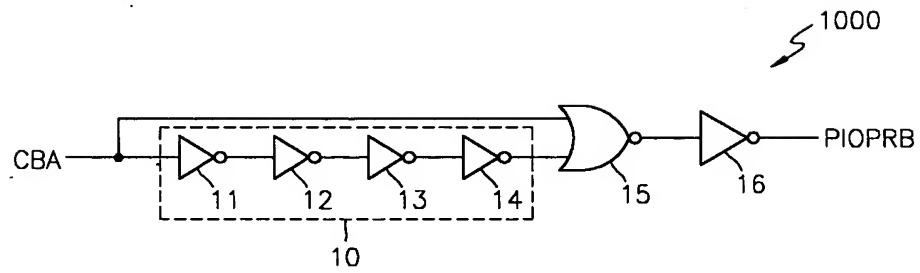
제 11항에 있어서, 상기 (c) 단계는

(c1) 상기 기입 정보 신호가 활성화되지 않은 경우 상기 제 1프리차지 제어신호를 출력하는 단계; 및,

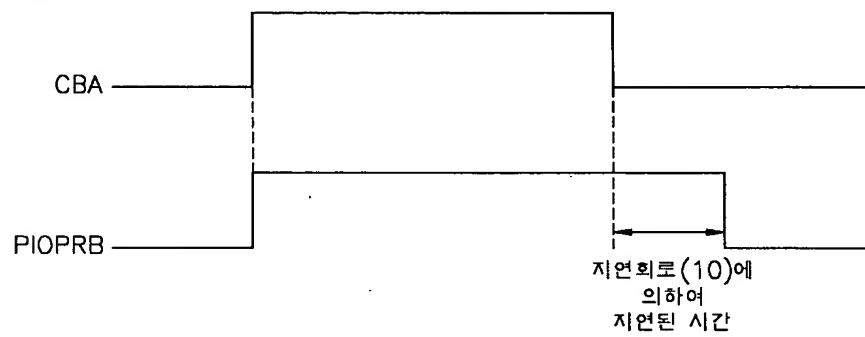
(c2) 상기 기입 정보 신호가 활성화된 경우 상기 제 2프리차지 제어신호를 출력하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 프리차지 제어신호 생성 방법.

【도면】

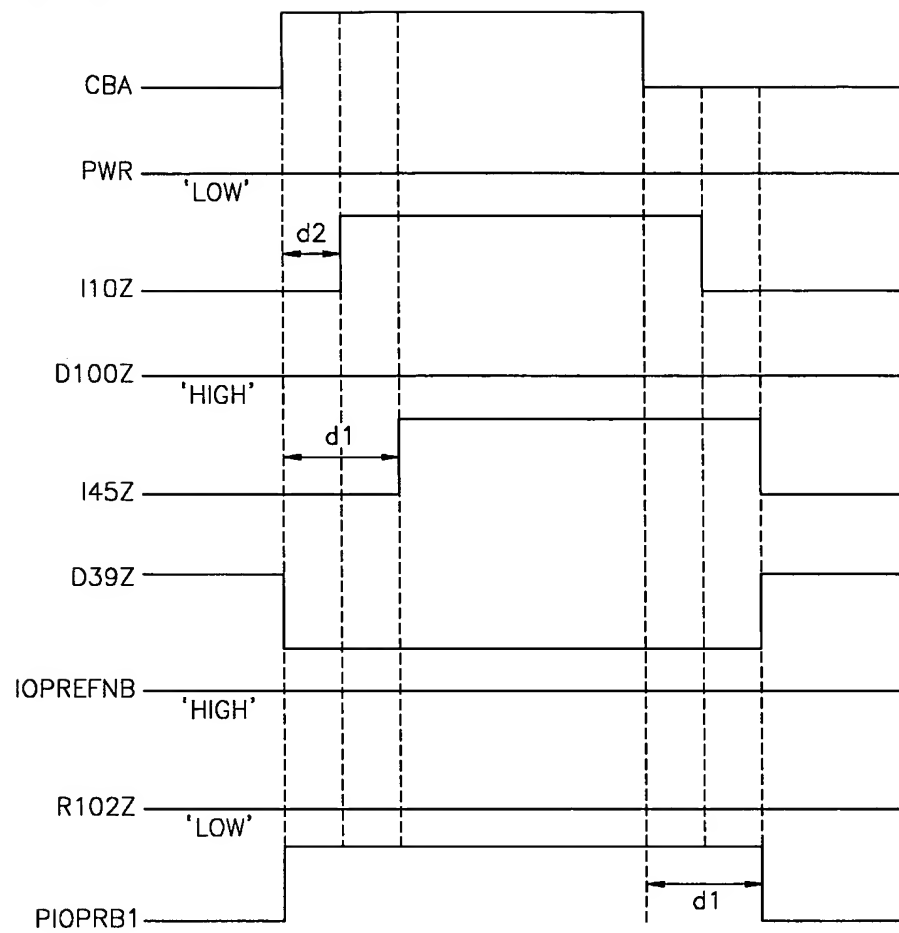
【도 1a】



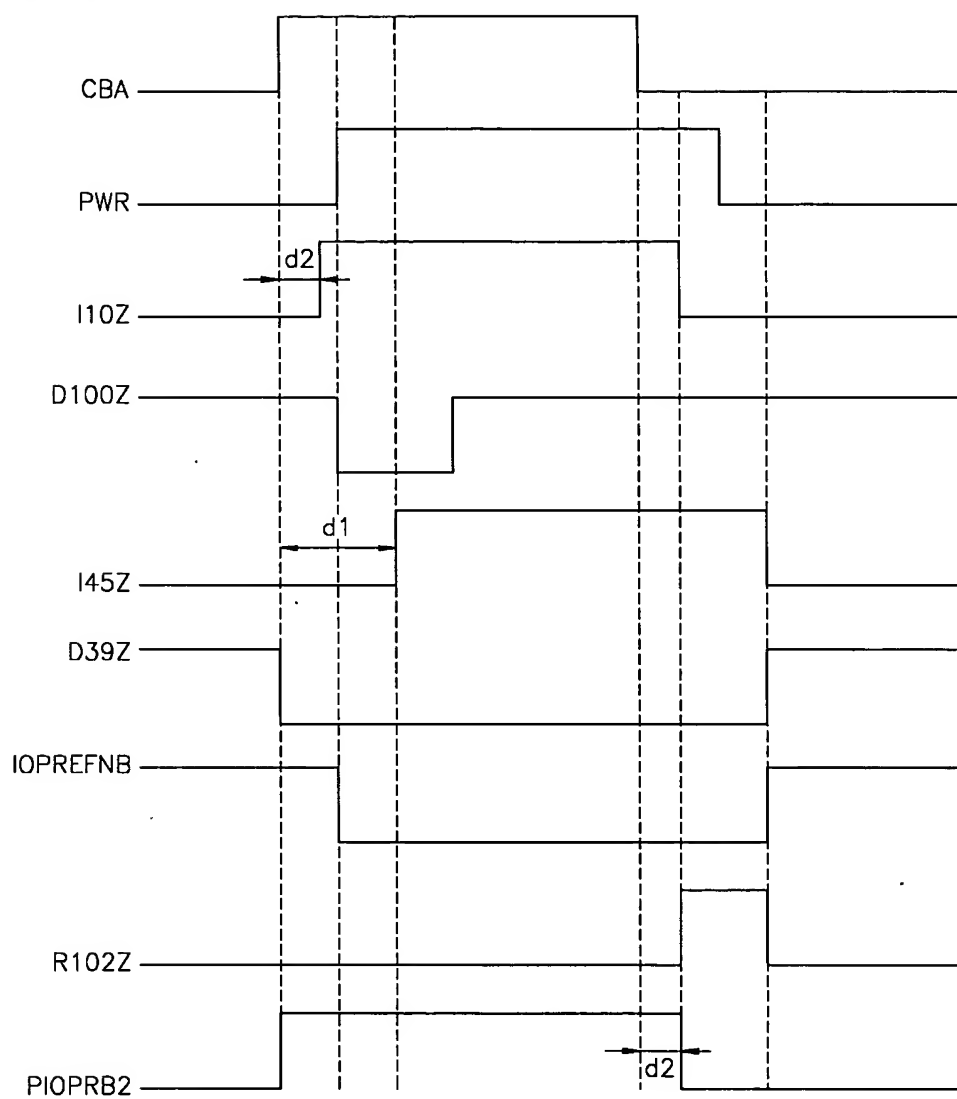
【도 1b】



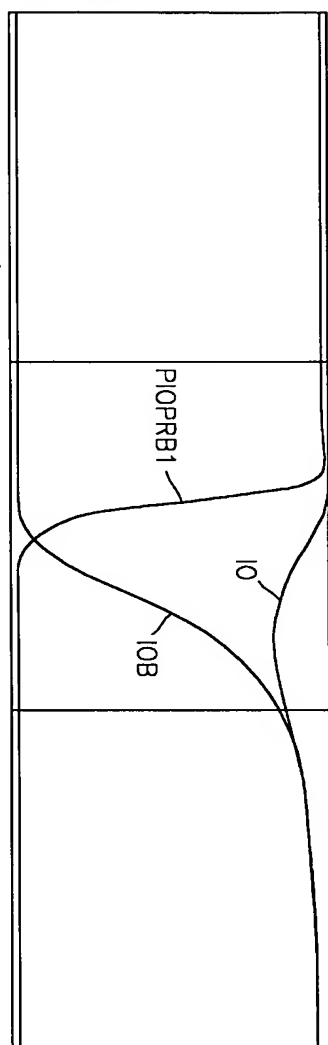
【도 3】



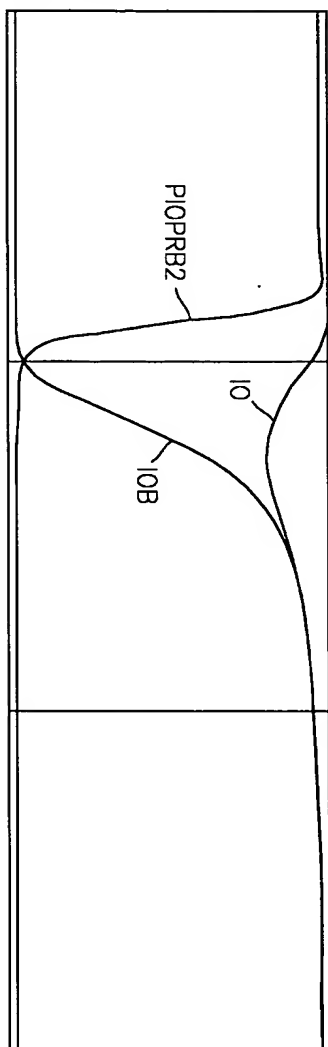
【도 4】



【도 5a】



【도 5b】



【도 6】

